

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-177072
 (43)Date of publication of application : 01.08.1991

(51)Int.CI. H01L 29/784

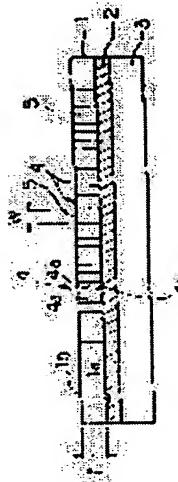
(21)Application number : 01-315711 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 05.12.1989 (72)Inventor : YASUDA HIROSHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To enable the film thickness of a thin film to be uniform and obtain a uniform and stable transistor characteristic by providing a groove with a constant depth which is opened at the surface side of an element substrate and a channel region with a constant film thickness which is formed between the neighboring grooves and by making the width of channel region in the neighboring direction of the groove to be smaller than the film thickness of the channel region.

CONSTITUTION: Film is thinned from the side of a surface 1b by selective etching or abrasion while an element substrate 1 is being adhered onto a supporting substrate 3 and the film thickness is set to T. A groove 4 is opened on the surface 1b of the element substrate 1 and this groove 4 is formed on a side wall part 4a which is formed by etching from a rear surface 1a of the element substrate 1 and on a bottom wall part 4b which is blocked by an insulation film 2. Also, a channel region 5 is formed in the neighboring direction with the groove 4 and the width W is made smaller than the film thickness T of the channel region 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 日本国特許庁 (JP) ⑯ 特許出願公開
⑯ 公開特許公報 (A) 平3-177072

⑮ Int. Cl.⁵
H 01 L 29/784

識別記号

庁内整理番号

⑯ 公開 平成3年(1991)8月1日

9056-5F H 01 L 29/78 3 1 1 H
8422-5F 3 0 1 H

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 平1-315711

⑯ 出 願 平1(1989)12月5日

⑯ 発明者 安田 洋 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑯ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑯ 代理人 弁理士 井桁 貞一 外2名

明細書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 素子基板(1)の裏面(1a)側に絶縁膜(2)が形成され、該絶縁膜(2)が支持基板(3)に接着された状態で素子基板(1)が表面(1b)側から薄膜化された半導体装置であって、

前記素子基板(1)の裏面(1a)側からのエッティングにより形成された側壁部(4a)及び前記絶縁膜(2)により閉塞された底壁部(4b)からなり、素子基板(1)の表面側で開口した深さ一定の溝(4)と、

該溝(4)の隣合う方向におけるチャネル領域(5)とを有し、

該溝(4)の隣合う方向におけるチャネル領域(5)の幅が該チャネル領域(5)の膜厚よ

り小さいことを特徴とする半導体装置。

(2) 素子基板(1)の裏面(1a)側を所定チャネル領域(5)の外周に沿いエッティングして該素子基板(1)の裏面(1a)側に側壁部(4a)を有する深さ一定の溝(11)を形成する工程と、

該溝(11)に素子基板(1)を薄膜化する際のストッパーとなる埋込み層(12)を埋め込む工程と、

該埋込み層(12)及び素子基板(1)の裏面(1a)側を覆う絶縁膜(2)を形成する工程と、

該絶縁膜(2)を支持基板(3)に接着して素子基板(1)を支持基板(3)に張り合わせる工程と、

該素子基板(1)の表面(1b)側で前記埋込み層(12)をストッパーとして用いることにより前記所定チャネル領域(5)を一定の膜厚に残して素子基板(1)を薄膜化する工程と、
該素子基板(1)の埋込み層(12)をエッ

ングにより除去して絶縁膜(2)からなる底壁部(4b)と側壁部(4a)とを有する溝(4)を形成する工程とを含むことを特徴とする半導体装置の製造方法。

(3) 前記基板(1)と支持基板(3)を張り合わせる工程に先立って、チャネル領域(5)に隣接する所定トランジスタ領域(6)に不純物イオンをドーピングする工程を含むことを特徴とする請求項2記載の半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

半導体装置及びその製造方法に関し、最終的にトランジスタ領域となる部位、即ちMOSトランジスタならソース、ドレイン及びゲート、バイポーラトランジスタならエミッター、コレクタ及びベース形成等のバターニング工程を張り合わせ工程より前に行なうようにして、素子基板の薄膜化の際のストッパー面を十分に設け、薄

膜の膜厚を均一にするとともに均一で安定したトランジスタ特性を得ることを目的とし、

素子基板の裏面側に絶縁膜が形成され、該絶縁膜が支持基板に接着された状態で素子基板が表面側から薄膜化された半導体装置であって、前記素子基板の裏面側からのエッチングにより形成された側壁部及び前記絶縁膜により閉塞された底壁部からなり、素子基板の表面側で開口した深さ一定の溝と、隣合う溝の間に形成された膜厚一定のチャネル領域とを有し、該溝の隣合う方向におけるチャネル領域の幅が該チャネル領域の膜厚より小さくなるように構成し、又は、素子基板の裏面側を所定チャネル領域の外周に沿いエッチングして該素子基板の裏面側に側壁部を有する深さ一定の溝を形成する工程と、該溝に素子基板を薄膜化する際のストッパーとなる埋込み層を埋め込む工程と、該埋込み層及び素子基板の裏面側を覆う絶縁膜を形成する工程と、該絶縁膜を支持基板に接着して素子基板を支持基板に張り合わせる工程と、該素子基板の裏面側で前記埋込み層をストッパーとし

て用いることにより前記所定チャネル領域を一定の膜厚に残して素子基板を薄膜化する工程と、該素子基板の埋込み層をエッチングにより除去して絶縁膜からなる底壁部と側壁部とを有する溝を形成する工程とを含むように構成し、又は、前記基板と支持基板を張り合わせる工程に先立って、チャネル領域に隣接する所定トランジスタ領域に不純物イオンをドーピングする工程を含むように構成する。

(産業上の利用分野)

本発明は、半導体装置及びその製造方法に関し、特に張り合わせウエハーの素子基板を薄膜化する際に膜厚を均一にすることができる半導体装置及びその製造方法に関する。

近時、IC等においては、微細化による高集積化、高機能化及び高速化に拍車がかかっており、その微細加工については電子ビーム露光装置の高速・高精度化によって微小パターンの描画が可能となりつつあることから、 $0.1\mu m$ 以下の能動素

子で高速なデバイス構造が要求されている。一方、パターンの微細化のみでは半導体基板との容量や抵抗の増大により信号の遅延を生ずるという問題があり、これに対し有効なものとして薄膜の半導体結晶を用いるSOI(シリコンオンインシレータ)構造、例えば張り合わせウエハーの素子基板(素子形成層)を薄膜化するものが知られている。

(従来の技術)

従来のこの種の半導体装置及びその製造方法について図面に基づいて説明する。

第6図(a)～(c)は従来の半導体装置の製造方法の一例を説明する図である。

同図において、31は例えばSiからなる素子基板、32は例えばSiからなる支持基板、33は素子基板31の裏面31aを覆う酸化膜、34は素子基板31のトランジスタの作成されない空き領域又はダイシングラインに設けられ、数 μm 以上の間隔でエッチング又は研磨時のストッパーとなるストッパー

一層、35はストッパー層34を埋め込む溝である。

次に、その製造方法について説明する。

まず、第6図(a)に示すように、素子基板31の裏面31a側から前記空き領域又はダイシングラインに所定深さの溝35をエッチングにより形成した後、例えばCVD法及びRIEにより溝35内に酸化膜その他の絶縁物からなる素子基板31を薄膜化する際のストッパー層34を埋め込み、さらに、素子基板31上に酸化膜33を形成する。次いで、第6図(b)に示すように、素子基板31と支持基板32を重ね合わせ、例えば熱接着により張り合わせる。次いで、第6図(c)に示すように、素子基板31を裏面31b側からエッチング又は研磨により薄膜化し、裏面31bがストッパー層34に達すると、選択比の違い等からストッパー層34によりエッチング又は研磨が停止され、素子基板31がストッパー層34の厚さに対応する膜厚に薄膜化される。

〔発明が解決しようとする課題〕

しかしながら、このような従来の半導体装置及

〔課題を解決するための手段〕

第1の発明による半導体装置は、上記目的達成のため、素子基板の裏面側に絶縁膜が形成され、該絶縁膜が支持基板に接着された状態で素子基板が表面側から薄膜化された半導体装置であって、前記素子基板の裏面側からのエッチングにより形成された側壁部及び前記絶縁膜により閉塞された底壁部からなり、素子基板の表面側で開口した深さ一定の溝と、隣合う溝の間に形成された膜厚一定のチャネル領域とを有し、該溝の隣合う方向におけるチャネル領域の幅が該チャネル領域の膜厚より小さいことを特徴とするものである。

第2の発明による半導体装置の製造方法は、上記目的達成のため、基板の裏面側を所定チャネル領域の外周に沿いエッチングして該素子基板の裏面側に側壁部を有する深さ一定の溝を形成する工程と、該溝に素子基板を薄膜化する際のストッパーとなる埋込み層を埋め込む工程と、該埋込み層及び素子基板の裏面側を覆う絶縁膜を形成する工程と、該絶縁膜を支持基板に接着して素子基板を

びその製造方法にあっては、張り合わせウエハの製造があくまで酸化、張り合わせ、研磨の工程順となり、ウエハープロセス(素子作成工程)がそれ以後に来るものであるとの固定観念から、各種素子のバーニングに支障がないようにストッパー層34を前記空き領域又はダイシングライン上に設けていた。したがって、ストッパー層34を横方向で数μm以上の間隔(例えば正方格子的なもの)でしか形成することができず、ストッパー面積が十分でないために薄膜化の際に薄膜を0.1μm以下に均一にするのが困難で、均一で安定したトランジスタ特性を得ることができなかった。

そこで、本発明は、最終的にトランジスタ領域となる部位、即ちMOSトランジスタならソース、ドレイン及びゲート、バイポーラトランジスタならエミッター、コレクタ及びベースのバーニング工程を張り合わせ工程より前に行なうようにして、薄膜化の際のストッパーを十分に設け、薄膜の膜厚を均一にするとともに均一で安定したトランジスタ特性を得ることを目的としている。

支持基板に張り合わせる工程と、該素子基板の裏面側で前記埋込み層をストッパーとして用いることにより前記所定チャネル領域を一定の膜厚に残して素子基板を薄膜化する工程と、該素子基板の埋込み層をエッチングにより除去して絶縁膜からなる底壁部と側壁部とを有する溝を形成する工程とを含むことを特徴とするものである。

また、第2の発明においては、前記素子基板と支持基板を張り合わせる工程に先立って、チャネル領域に隣接する所定トランジスタ領域に不純物イオンをドーピングする工程を含むことを特徴とするものである。

なお、本発明においては、トランジスタのチャネル領域5は前記溝4の延在する方向における中央部で前記幅が最小となるようなくびれた形状であるのが好ましい。また、薄膜化の方法としては選択エッチング又は研磨、あるいはこれらを併用する方法があげられる。

〔作用〕

第1の発明では、素子基板1に形成された溝4の間にチャネル領域5が形成され、溝4の隣合う方向におけるチャネル領域5の幅が該チャネル領域5の膜厚より小さく形成される。したがって、幅広い溝4に薄膜化の際のストッパーを埋め込むことが可能となり、従来に比べストッパー面積を十分に確保して薄膜の膜厚を均一化できる。また、素子基板1に横幅の狭いチャネル領域5内の層を電子チャネルとして能動素子を形成し、均一で安定したトランジスタ特性を得ることができる。

第2の発明では、素子基板1と支持基板3の張り合わせに先立ってチャネル領域5の外周に沿い溝11が形成され、該溝11に薄膜化の際のストッパーとなる埋込み層12が埋め込まれ、素子基板1と支持基板3の張り合わせ後、埋込み層12を利用してチャネル領域5が膜厚一定に薄膜化され、次いで、埋込み層12が除去される。したがって、各品種毎のマスクバターンを用いたパターニングを張り合わせ工程前に行なうことにより、埋込み層12

形態を示す平面図である。

第1～4図において、1は例えばSi(シリコン)からなる素子基板、2は素子基板1の裏面1a側に形成された例えばSiO₂からなる絶縁膜、3は素子基板1の裏面1a側に張り合わせられた例えばSiからなる支持基板、4は素子基板1に形成された複数の溝、5は隣合う溝4の間に形成されたチャネル領域、6はチャネル領域5の両側に隣接するソース6S及びドレイン6Dを形成するトランジスタ領域、7は例えばポリシリコン又はタンゲステンからなるゲート電極、8は例えばSiO₂からなるゲート酸化膜である。素子基板1は支持基板3に接着された状態で選択エッチング又は研磨によって表面1b側から薄膜化されており、その膜厚Tは例えば0.2μmである。溝4は素子基板1の表面1b上に開口しており、この溝4は素子基板1の裏面1a側からのエッチングにより形成された側壁部4a及び絶縁膜2により閉塞された底壁部4bを有している。また、溝4が隣合う方向におけるチャネル領域5の幅Wは例え

の面積を十分確保して膜厚を均一化することができる。また、埋込み層12を除去した溝4によりチャネル領域5の左右からの熱酸化等でチャネル領域5に残る半導体層を制御できる。

さらに、第2の発明では、素子基板1と支持基板3の張り合わせに先立ってチャネル領域5に隣接するトランジスタ領域6に不純物イオンをドーピングして、薄膜ICを横方向に形成することができる。

〔実施例〕

以下、本発明を図面に基づいて説明する。

第1～5図は本発明に係る半導体装置及びその製造方法の一実施例を示す図であり、第1図(a)はその半導体装置の構造を示す断面図、第1図(b)はその素子基板の要部斜視図、第2図(a)～(c)はその製造方法を説明する図、第3～5図はその素子基板にMOS型素子を形成した場合の態様を示しており、第3図はその素子基板の要部斜視図、第4図はその平面図、第5図はその変

ば500Å～1000Åであり、チャネル領域5の膜厚Tより小さくなっている。

次に、その製造方法について説明する。

まず第2図(a)に示すように、厚さが例えば500μm程度の素子基板1の裏面1a側でフォトリソグラフィによる加工を行なう。即ち、電子ビームによるステンレスバターンの縮小転写方式でレジストをパターニングし、トランジスタのゲート及びチャネルを形成するチャネル領域5を残してその周囲をエッチングにより掘り込み、深さが例えば0.2μ一定の溝11を形成する。次いで、この溝11に薄い保護用酸化膜(図示せず)を形成した後溝11に例えばCVD法による酸化膜又はSOG(スピノングラス：シリコンのアルコール化合物)からなる埋込み層12を埋め込み、一方、チャネル領域5に隣接するトランジスタ領域6にソース6S及びドレイン6Dを形成するための不純物イオン例えばAs等をドーピングし、さらに、素子基板1の裏面1a側を覆う絶縁膜2を形成する。次いで、第2図(b)に示すように、支持基板3

のSi表面（又は酸化膜）と素子基板1の絶縁膜2側を重ね合わせ、適当な気圧下で両基板1、3の間に1KV程度のパルス電圧を加えるとともに800°C程度に加熱し、絶縁膜2が形成された素子基板1及び支持基板3を接着する。次いで、第2図(c)に示すように、素子基板1の表面1b側をエッチング又は研磨し、素子基板1を薄膜化する。このとき、素子基板1のSiと溝4内に埋込み層12の選択比の違い等により埋込み層12がストップバーとなり、埋込み層12の厚さに対応する一定膜厚（例えば0.2μm）のチャネル領域5及びトランジスタ領域6が形成される。次いで、埋込み層12をエッチング（例えばRIE）により除去すると第1図(a)の状態となる。このとき、溝4が素子基板1の表面1b上に開口するが、溝4の側壁部4aには酸化膜が形成されているから、次にこれを除去し、再度ゲート酸化膜8を50Å程度成長させる。次いで、第3、4図に示すようにゲート電極7を形成すると、薄いSi結晶によるMOS型素子が横方向に向って作成される。なお、溝4

にCVD法等を用いてSiO₂等の絶縁膜を埋め込み、更に絶縁膜、コンタクトホール、配線層、カバー膜等を形成することにより、半導体装置が完成する。

以上のように、本実施例においては、従来各種素子のバーニング前に行っていた薄膜化工程を所定素子のバーニング後に行うようにし、従来はダイシングライン等の空き領域にしかなかったストップバー埋め込みスペースを1000Åから500Åのチャネル領域5のシリコンを除いたチャネル領域5の周囲の大部分とし、このスペースに酸化膜又はSOGからなる埋込み層12を埋め込んでいるので、従来のSOIのメリットに加えて、素子基板1の薄膜化に際してストップバー面積が十分に確保され、300Å以内の膜厚の均一性をもたせることができ、埋込み層12を除去した溝4の間（ゲート酸化膜8の間）に横幅が非常に狭い最小100Å程度の薄いSi層5aを形成でき、このSi層5aを横方向2次元電子チャネルとするSOI能動素子を形成して均一で安定したトランジスタ特性

を有するLSI回路等を実現することができる。また、3次元状態ではSi結晶中の電子のエネルギー順位がほぼ連続的に分布していたのに対し、2次元結晶(500Å～300Å以下)状態では量子順位が離散的になるため、チャネル領域5の電子チャネル5cを流れる電子が散乱される機会が少くなり、電子速度の高速化が期待できる。さらに、第4図に示すように、電界がチャネル領域5のSiの導電性部分からゲートにかけて電子チャネル5cと垂直な等電位線を持つので、電界により加速されたホットエレクトロンがゲート酸化膜8に注入されてゲート酸化膜8を劣化させることが防止され、寿命低下も防止される。

なお、チャネル領域5及びトランジスタ領域6からなるSiの島が薄いため、ゲート電圧が正の場合に低いインピーダンスが得られないときは、第5図に示すように複数の島を並列化するのが適当であり、これにより、Siの島の幅を広くする場合であっても薄膜化の際のストップバーを十分に密に設けることができ、効果的である。また、素

子基板1の第1層目の掘り込みパターンの形成時に、同時に第2層目以後のバーニングに対する位置合わせマークを形成しておくようすれば、パターンの重ね合わせ精度を向上することができる。

(発明の効果)

本発明によれば、薄膜化工程におけるストップバーを密にかつ十分な面積だけ確保して、薄膜化する素子基板の膜厚の均一化を図ることができ、均一で安定したトランジスタ特性を得ることができる。また、素子基板に横幅が非常に狭いチャネル領域を形成し、高速で信頼性の高い半導体装置を製作することができる。

4. 図面の簡単な説明

第1～2図は本発明に係る半導体装置及びその製造方法の一実施例を説明する図であり、

第1図(a)は一実施例の半導体装置の断面図、第1図(b)はその素子基板の要部斜視図、

第2図(a)～(c)は一実施例の製造方法を説明する図、

第3～5図はその素子基板にMOS型素子を形成した場合の態様を示す図であり、

第3図はその素子基板の要部斜視図、

第4図はその要部平面図、

第5図はその変形態様を示す平面図である。

第6図(a)～(c)は従来の半導体装置の製造方法の一例を説明する図である。

12……埋込み層、

T……膜厚、

W……幅。

代理人弁理士 井桁貞

1……素子基板、

1a……裏面、

1b……表面、

2……絶縁膜、

3……支持基板、

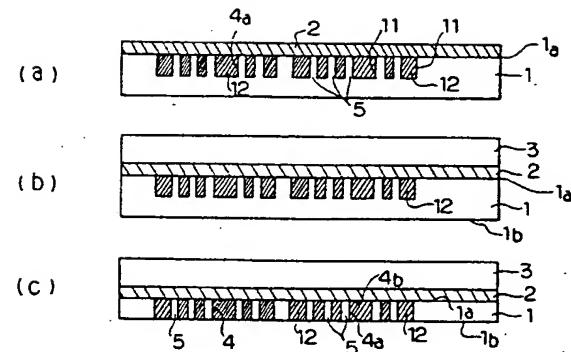
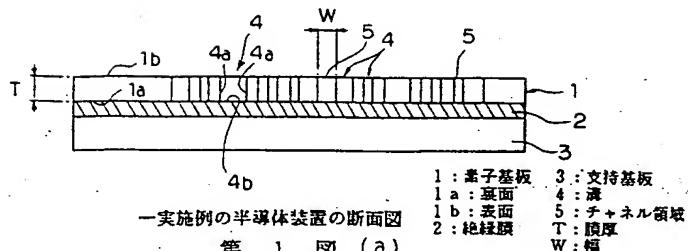
4……溝、

5……チャネル領域、

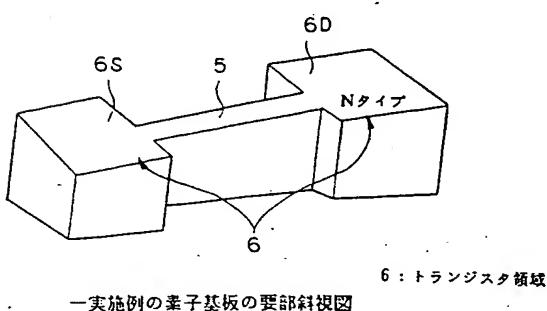
6……トランジスタ領域、

7……ゲート電極、

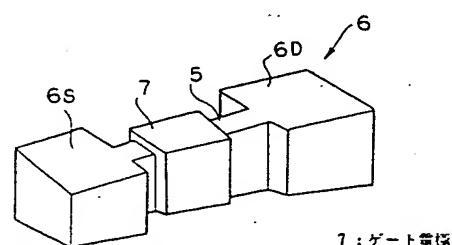
11……溝、



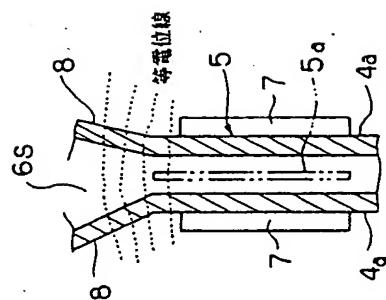
一実施例の製造方法を説明する図
第2図



第1図 (b)

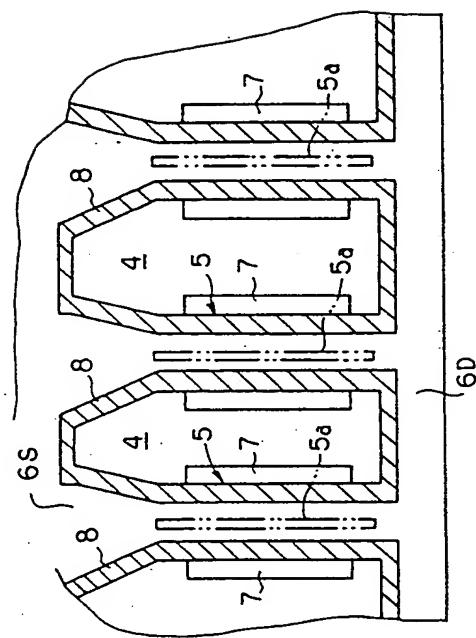


第3図



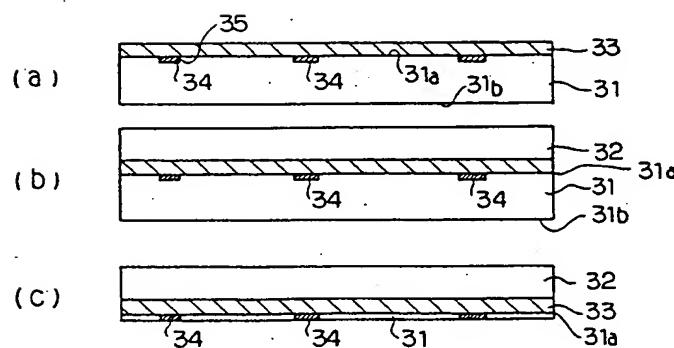
第 4 図

MOS型素子を形成した場合の構造を示す平面図



第 5 図

MOS型素子を形成した場合の変形構造を示す平面図



従来の製造方法の一例を示す図

第 6 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.